

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-107394

(43)Date of publication of application : 10.04.2002

(51)Int.Cl. G01R 29/02
G11B 20/10
G11B 20/14
H03L 7/06
H03L 7/08
H04L 25/02
// H04L 7/033

(21)Application number : 2001-189986

(71)Applicant : SAMSUNG ELECTRONICS CO LTD

(22)Date of filing : 22.06.2001

(72)Inventor : SHIM JAE-SEONG
BOKU KENSU

(30)Priority

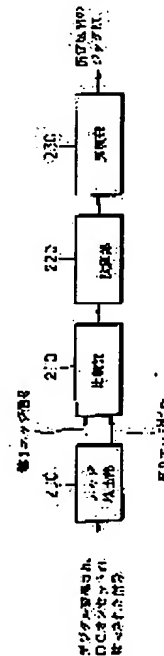
Priority number : 2000 200041743 Priority date : 20.07.2000 Priority country : KR

(54) JITTER DETECTOR AND PHASE-SYNCHRONIZING LOOP CIRCUIT THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a device which is capable of exactly detecting jitters for detecting jitter quantities from signals at two sampling points around an edge which are subjected to analog/digital conversion, and to provide a phase synchronizing loop which uses the same.

SOLUTION: The jitter detection circuit for detecting the jitter value of signal subjected to digital conversion from input analog signal contains an edge detector 200 for judging the change in the sign of both signals in two continuous sampling points from the digital-converted input signals and outputting both the signals at the change of sign as a first and a second edge signals, a comparator 210 for outputting the signal with smaller absolute value among the first and the second edge signals output from the edge detector 200, an calculating section 220 for dividing the output absolute value signal by the sum of each absolute value of the first and second edge signals and an accumulator 230 for accumulating the output of the operator 220 over a specific period and outputting it as the jitter value for the period.



LEGAL STATUS

[Date of request for examination]

22.06.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-107394

(P2002-107394A)

(43) 公開日 平成14年4月10日 (2002. 4. 10)

(51) Int.Cl. ⁷	識別記号	F I	テームト* (参考)
G 0 1 R 29/02		G 0 1 R 29/02	L 5 D 0 4 4
G 1 1 B 20/10	3 2 1	G 1 1 B 20/10	3 2 1 E 5 J 1 0 6
20/14	3 5 1	20/14	3 5 1 A 5 K 0 2 9
H 0 3 L 7/06		H 0 4 L 25/02	3 0 2 A 5 K 0 4 7
7/08		H 0 3 L 7/06	A
審査請求 有 請求項の数 4 O L (全 6 頁) 最終頁に続く			

(21) 出願番号 特願2001-189986(P2001-189986)

(22) 出願日 平成13年6月22日 (2001. 6. 22)

(31) 優先権主張番号 2 0 0 0 4 1 7 4 3

(32) 優先日 平成12年7月20日 (2000. 7. 20)

(33) 優先権主張国 韓国 (K R)

(71) 出願人 390019839

三星電子株式会社

大韓民国京畿道水原市八達区梅灘洞416

(72) 発明者 沈 載晟

大韓民国ソウル特別市広津区紫陽1洞229

-24番地

(72) 発明者 朴 賢洙

大韓民国ソウル特別市瑞草区蚕院洞55-10

番地新盤浦16次アパート119棟312号

(74) 代理人 100064908

弁理士 志賀 正武 (外1名)

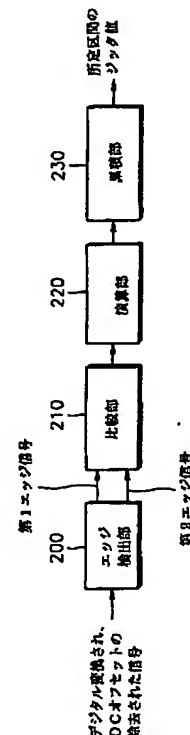
最終頁に続く

(54) 【発明の名称】 ジッタ検出装置及びそれを用いた位相同期ループ回路

(57) 【要約】

【課題】 ジッタ検出回路及びそれを用いた位相同期ループを提供する。

【解決手段】 入力アナログ信号をデジタル変換した信号のジッタ値を検出するジッタ値検出回路は、デジタル変換された入力信号から二つの連続したサンプリングポイントにある両信号の符号の変化を判別し、符号の変化時に両信号を第1及び第2エッジ信号として出力するエッジ検出部200と、エッジ検出部200から出力された第1及び第2エッジ信号のうち、絶対値の小さい信号を出力する比較部210と、第1及び第2エッジ信号各々の絶対値の和で比較部210から出力した絶対値信号を割る演算部220、及び演算部220からの出力を所定期間に累積合算して所定区間のジッタ値として出力する累積部230とを含むことを特徴とする。



【特許請求の範囲】

【請求項1】 入力アナログ信号をデジタル変換した信号のジッタ値を検出するジッタ値検出回路において、前記デジタル変換された入力信号から二つの連続したサンプリングポイントにある両信号の符号を判別して、符号が相異なる場合、前記両信号を各々第1及び第2エッジ信号として出力するエッジ検出部と、前記エッジ検出部から出力された第1及び第2エッジ信号のうち、絶対値の小さい信号を出力する比較部と、前記第1及び第2エッジ信号の各々の絶対値の和で前記比較部から出力した絶対値信号を割る演算部と、前記演算部からの出力を所定期間累積合算して、所定区間のジッタ値として出力する累積部とを含むことを特徴とするジッタ値検出回路。

【請求項2】 前記エッジ検出部は、デジタル変換された入力信号を1システムクロックだけ遅延させる遅延部と、前記遅延部の出力信号及び前記デジタル変換された入力信号の符号を比較し、符号が相異なる場合、前記デジタル変換された入力信号及び前記遅延部を通じて遅延された信号を各々第1及び第2エッジ信号として出力するエッジ発生部とを含むことを特徴とする請求項1に記載のジッタ値検出回路。

【請求項3】 前記エッジ発生部は、前記入力信号の最上位ビットを検出する第1ビット検出部と、遅延部を通過した前記入力信号の最上位ビットを検出する第2ビット検出部と、前記第1ビット検出部及び前記第2ビット検出部の検出値を排他的論理和(XOR)演算する排他的論理和演算部と、前記排他的論理和演算部の出力値をクロックとして使用し、前記デジタル入力信号を入力信号として使用する第1エッジ信号発生部と、前記第1エッジ信号発生部と同時に前記排他的論理和演算部の出力値をクロックとして使用し、前記遅延部を通過したデジタル入力信号を入力信号として使用する第2エッジ信号発生部とを含むことを特徴とする請求項2に記載のジッタ検出回路。

【請求項4】 デジタル変換された入力信号から二つの連続したサンプリングポイントにある両信号の符号を判別して、符号変化時の第1及び第2エッジ信号を出力するエッジ検出部、前記エッジ検出部から出力された第1及び第2エッジ信号のうち、絶対値の小さい信号を出力する比較部、及び前記第1及び第2エッジ信号各々の絶対値の和で前記比較部から出力した絶対値信号を割り、その結果であるジッタ信号を出力する演算部を含むジッタ信号発生部と、前記ジッタ信号発生部から出力されたジッタ信号を位相エラー信号として使用して位相同期信号を生じる位相同

期信号発生部とを含むことを特徴とするデジタル位相同期ループ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明はジッタ検出に係り、より詳細には、アナログ-デジタル変換回路を使用してジッタ量を検出する方法及び装置に関する。

【0002】

【従来の技術】 一般に、アナログ信号をデジタル信号に変換して処理する技術の場合、アナログ信号は比較器などを通じて2値化され、この2値化された信号に位相制御ループ(PLL)を適用して、システムクロックが得られる。また、該2値化された信号及びシステムクロックを使用してデータが処理される。このとき、アナログ信号及びシステムクロックは正確に同期されず、これらの間に僅かな位相差が存在するが、これをジッタと呼ぶ。

【0003】 アナログ検出技法が普及されるに伴い、アナログ信号を直接的に比較器を使用して2値化せず、アナログ-デジタル変換過程を通じてデジタル信号に変換した後、該変換されたデジタル信号を使用して2値化する方法が用いられるようになった。この場合に用いられるジッタ検出方法は、アナログ信号のエッジ周辺の一つのサンプリングポイントにある信号をもってジッタ値を求めるため、アナログ信号が小さいか、或いは異常信号が入る場合、ジッタ値が正確に検出されないという問題をもつ。

【0004】 図1は、ジッタ検出回路を含む一般的なデジタルシステムのブロック図であって、このシステムは、A/D変換器100と、DCオフセット除去器110と、ジッタ検出器120及びデジタル位相同期回路(デジタルPLL)130を備える。A/D変換器100は、アナログの形をしている入力信号をデジタル変換して、相応するデジタルデータを出力する。DCオフセット除去器110は、デジタルデータでの直流電圧オフセットを除去する。ジッタ検出器120は、オフセットの除去された信号からジッタ値を検出する。デジタルPLL130は、オフセットの除去された信号から位相同期信号を得、その信号をシステムクロックとして出力する。このような例として、本発明者により1998年11月17日付けで出願された韓国特許P1998-0049210号公報には、アナログ/デジタル変換されたデジタルデータからジッタ値を演算する方法が開示されている。この発明は、アナログ信号の振幅が小さくされて入る場合、アナログ/デジタル変換された値そのものが小さいため、ここで検出されるジッタ量もやはり小さいという問題をもつ。また、入力信号の振幅のふれが甚だしい異常信号の場合、回路自体に誤動作が生じうるという問題も持つ。

【0005】

【発明が解決しようとする課題】本発明は上記事情に鑑みてなされたものであり、その目的は、アナログ／デジタル変換された信号のエッジ周辺の2つのサンプリングポイントにある信号からジッタ量を検出するジッタ検出装置及びそれを用いた位相同期ループを提供することである。

【0006】

【課題を解決するための手段】前記目的を達成するために、本発明による、入力アナログ信号をデジタル変換した信号のジッタ値を検出するジッタ値検出回路は、前記デジタル変換された入力信号から二つの連続したサンプリングポイントにある両信号の符号の変化を判別し、符号の変化時に前記両信号を第1及び第2エッジ信号として出力するエッジ検出部と、前記エッジ検出部から出力された第1及び第2エッジ信号のうち、絶対値の小さい信号を出力する比較部と、前記第1及び第2エッジ信号各々の絶対値の和で前記比較部から出力した絶対値信号を割る演算部、及び前記演算部からの出力を所定期間累積合算して所定区間のジッタ値として出力する累積部を含むことを特徴とする。

【0007】前記エッジ検出部は、望ましくは、デジタル変換された入力信号を1システムクロックだけ遅延させる遅延部と、前記遅延部の出力信号及び前記デジタル変換された入力信号の符号を比較し、符号が相異なる場合の前記デジタル変換された入力信号及び前記遅延部を通じて遅延された信号を各々第1及び第2エッジ信号として出力するエッジ発生部とを含む。

【0008】前記エッジ発生部は、望ましくは、前記入力信号の最上位ビットを検出する第1ビット検出部と、遅延部を通過した前記入力信号の最上位ビットを検出する第2ビット検出部と、前記第1ビット検出部及び前記第2ビット検出部の検出値を排他的論理和（XOR）演算する排他的論理和演算部と、前記排他的論理和演算部の出力値をクロックとして使用し、前記デジタル入力信号を入力信号として使用する第1エッジ信号発生部、及び前記第1エッジ信号発生部と同時に前記排他的論理和演算部の出力値をクロックとして使用し、前記遅延部を通過したデジタル入力信号を入力信号として使用する第2エッジ信号発生部を含む。

【0009】前記目的を達成するために、ジッタ信号を用いたデジタル位相同期ループは、デジタル変換された入力信号から二つの連続したサンプリングポイントにある両信号の符号の変化を判別して、符号の変化時に前記両信号を第1及び第2エッジ信号として出力するエッジ検出部と、前記エッジ検出部から出力された第1及び第2エッジ信号のうち、絶対値の小さい信号を出力する比較部、及び前記第1及び第2エッジ信号各々の絶対値の和で前記比較部から出力した絶対値信号を割る演算部を含むジッタ信号発生部と、前記ジッタ信号発生部から出力されたジッタ信号を位相エラー信号として使用して位

相同期信号を生じる位相同期信号発生部とを含むことを特徴とする。

【0010】

【発明の実施の形態】以下、添付した図面に基づき、本発明の望ましい実施形態について詳細に説明する。

【0011】図2は、本発明のジッタ検出回路を示したブロック図であって、このジッタ検出回路は、エッジ検出部200と、比較部210と、演算部220及び累積部230を含む。エッジ検出部200は、デジタル変換され、DCオフセットの除去された入力信号から、連続した二つのサンプリングポイントでの符号の変化の有無を判別する。符号が変化すると判別された場合、その符号変化前のサンプリングポイントでの信号及び変化後の信号を各々第1及び第2エッジ信号として出力する。比較部210は、エッジ検出部200から出力された第1及び第2エッジ信号を比較し、そのうち絶対値の小さい信号を出力する。演算部220は、第1及び第2エッジ信号各々の絶対値の和で前記比較部から出力した最小の絶対値信号を割ったジッタ値を出力する。このような演算は、後述する三角形の比例式を用いたものである。累積部230は、演算部220から出力された値を所定期間累積合算して所定区間のジッタ値として出力する。

【0012】図3は、図2のエッジ検出部200の詳細ブロック図であって、このエッジ検出部200は、遅延部300及びエッジ発生部310を備える。遅延部300は、デジタル変換された（アナログ）入力信号を該当システムクロックの1クロック信号だけ遅延させる。エッジ発生部310は、遅延部300から出力された、1クロックだけ遅延されたデジタル変換入力信号及び元のデジタル変換入力信号の符号を比較し、それらの符号が相異なる場合、両信号共にエッジ信号であると判断し、元のデジタル変換された入力信号及び遅延部300を通じて遅延された信号を各々第1及び第2エッジ信号として出力する。エッジ発生部310の細部構成は、デジタル変換された入力信号の最上位ビットを検出する第1ビット検出部311と、デジタル変換された入力信号が遅延部300を通過して1クロックだけ遅延された状態での最上位ビットを検出する第2ビット検出部312と、第1ビット検出部311及び第2ビット検出部312の検出値が同じであれば0を、相異なれば1を出力する、排他的論理和演算機能の排他的論理和（XOR）演算部313と、排他的論理和演算部313の出力値をクロックとして使用し、デジタル入力信号を入力信号として使用する第1エッジ信号出力部314及び第1エッジ信号出力部314と同時に排他的論理和演算部313の出力値をクロックとして使用し、遅延部310を通過したデジタル入力信号を入力信号として使用する第2エッジ信号出力部315よりなる。

【0013】図2の構成のうち、エッジ検出部200以降の回路をジッタ演算部と名づけ、図4にてより詳細に

示した。図4を参照すれば、図3で抽出された第1及び第2エッジ信号の絶対値を各々抽出する第1及び第2絶対値抽出部400及び410と、第1及び第2絶対値のうちより小さい値を抽出する最小値抽出部420と、第1及び第2絶対値を和する加算部430と、最小値抽出部420から出力されたより小さいエッジ信号の絶対値を、加算部430から出力された値で割る除算部440及びエッジが生じるときごとに除算部440で演算されたジッタ値を足して累積しておいて、一定の時間間隔となれば、所定区間のジッタ値として出力するカウンタ及び累積部450よりなる。カウンタ及び累積部450は、マイコン（図示せず）から利得及び時間間隔を入力されて、所望の利得及び時間間隔でジッタ累積値を出力可能に、予め設定できる。

【0014】以下、ジッタ値演算の概念について述べる。

【0015】一般に、光ディスクなどで信号を処理するためには、入力されるアナログ信号から位相同期ループ（PLL）によりシステムクロックを得た後、該システムクロックを用いてデータを処理する。このとき、PLLが入力信号と正確に同期化されている場合には、データ処理に問題がない。しかし、入力信号に雑音が混ざったり、或いは何らかの理由で入力信号とシステムクロックと同期化がなされていない場合には、信号処理に問題がある。後者の場合、システムクロックと入力信号のゼロレベルとの間の時間差をジッタと呼ぶ。図5（A）は、ジッタのない信号の例であり、図5（B）は、ジッタの生じた信号の例である。

【0016】図6は、図5（B）のジッタ発生信号において、エッジ周辺の信号を拡大して示したものである。ここで、a及びbは各々、アナログ入力信号をサンプリングして得られるサンプリング信号の大きさである。a'及びb'は各々、時間座標上の位相遅延、すなわち、ジッタに当たるものであって、このうち、絶対値の小さいものをジッタ値として取るため、図面では、b'がジッタ値となる。サンプリング周期はシステムクロックのそれと同一なため、 $a' + b' = \text{システムクロック}$ という等式が成立つ。ゼロクロス、すなわち、エッジの生じる部分での信号が線形的であると仮定すれば、三角形の比例式により、 $a : a' = b : b'$ となる。ここで、a及びb、システムクロックは既知の値であるため、b'について整理すれば、下記式1が得られる。

$$\text{式1} \quad b' = b \times (\text{システムクロック}) / (a + b)$$

【0017】従って、前式1を用いたジッタ値の演算は、入力信号の大きさに影響されずに、正確なジッタ値が得られるようになる。これを具現した回路が図2の演算部220、すなわち、図4において、カウンタ及び累積部450を除いた残りの構成に当たる。

【0018】図7は、ジッタ値を位相エラー信号として

使用する位相同期ループを示したものであって、この位相同期ループは、ジッタ信号発生部700及び位相同期回路部710を備える。ジッタ信号発生部700は、エッジ検出部701と、比較部702、及び演算部703を備える。エッジ検出部701は、デジタル変換された入力信号から連続した両信号の符号を判別し、符号が異なる場合、その両信号を各々第1及び第2エッジ信号として出力する。比較部702は、エッジ検出部701から出力された第1及び第2エッジ信号のうち、絶対値の小さい信号を出力する。演算部703は、第1及び第2エッジ信号各々の絶対値の和で比較部702から出力したより小さいエッジ信号の絶対値を割ることによりジッタ値を生じる。演算部703の演算原理は、図6に述べてある通りである。位相同期回路部710は、ジッタ信号発生部701から出力されたジッタ信号を位相エラー信号として使用して位相同期信号を生じる。

【0019】このように、本発明のジッタ検出装置を通じて演算されたジッタ値を用い、光ディスクのサーボ系でフォーカスループの最適化やトラッキングループの最適化を具現する方法により、ジッタ値を最小にできる。さらに、PLLが正しく働いているかどうかを判断するPLLロック信号の判別や、ディスクの不良を判断できる尺度として、本発明のジッタ値を用いる。

【0020】

【発明の効果】以上述べたように、本発明によれば、アナログ-デジタル変換された信号からエッジ周辺の二つのサンプリングポイントにある信号をもってジッタ量を検出することにより、入力される信号の大きさに関係なく正確なジッタ量が検出でき、さらに、そのジッタ値を用い、正確かつ高速で位相同期信号を得ることができる。

【図面の簡単な説明】

【図1】 ジッタ検出回路を含む一般的なデジタルシステムのブロック図である。

【図2】 本発明のジッタ検出回路のブロック図である。

【図3】 図2のエッジ検出部の詳細ブロック図である。

【図4】 図2のジッタ演算部の詳細構成図である。

【図5】 （A）は、ジッタのない信号を示した図であり、（B）は、ジッタの生じた信号を示した図である。

【図6】 図5（B）のジッタ発生信号のエッジ周辺の信号を拡大して示した図である。

【図7】 ジッタ値を位相エラー信号として使用する位相同期ループを示した図である。

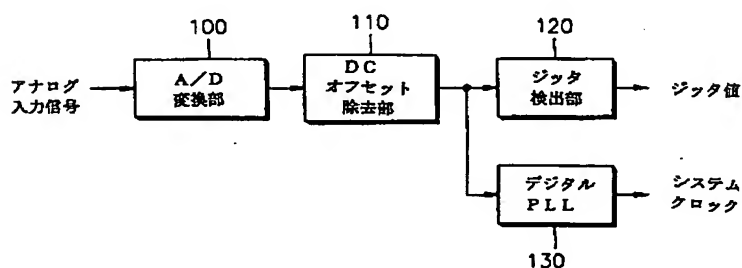
【符号の説明】

200 エッジ検出部
210 比較部
220 演算部
230 累積部

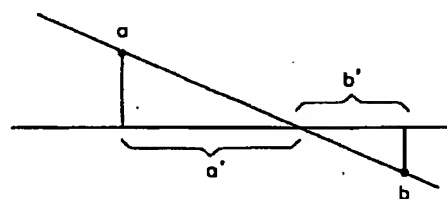
300 遅延部
 310 エッジ発生部
 311 第1ビット検出部
 312 第2ビット検出部
 313 排他的論理和演算部
 314 第1エッジ信号出力部
 315 第2エッジ信号出力部
 400 第1絶対値抽出部
 410 第2絶対値抽出部

420 最小値抽出部
 430 加算部
 440 除算部
 450 カウンター及び累積部
 700 ジッタ信号発生部
 701 エッジ検出部
 702 比較部
 703 演算部
 710 位相同期回路部

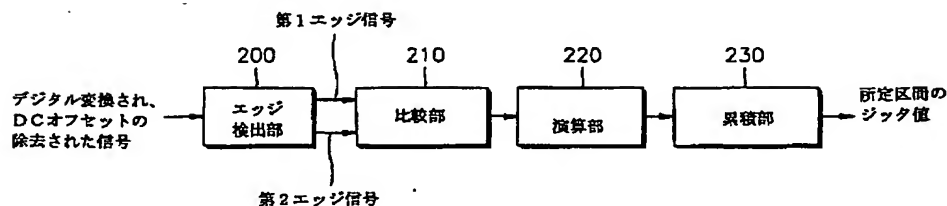
【図1】



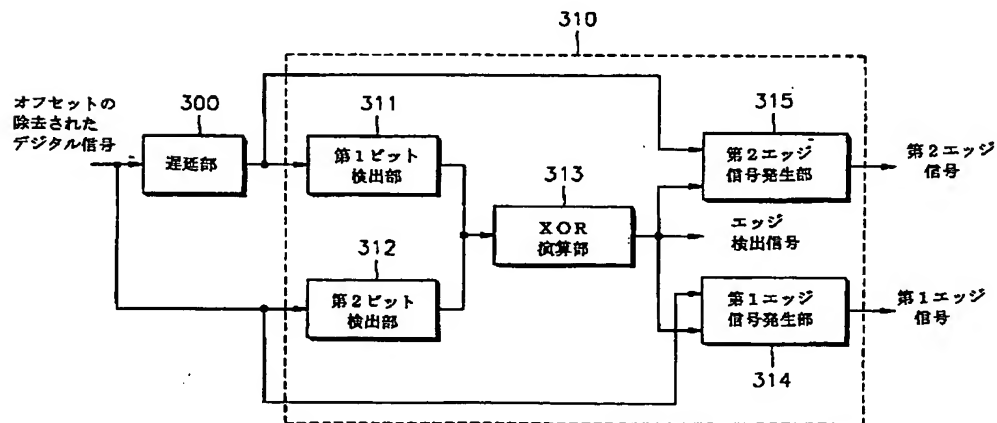
【図6】



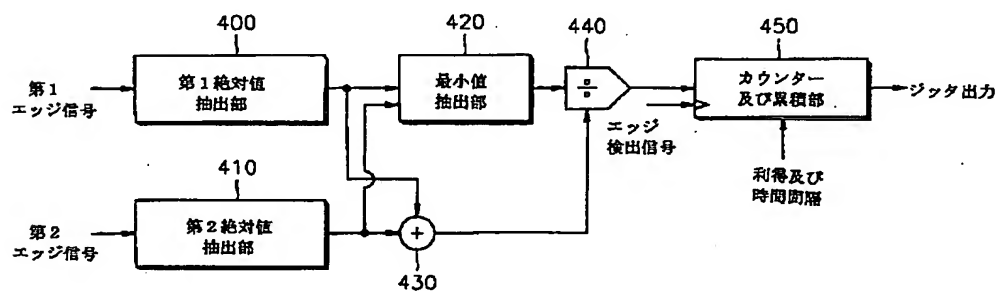
【図2】



【図3】

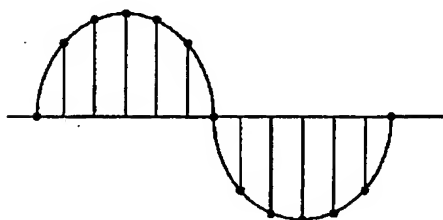


【図4】

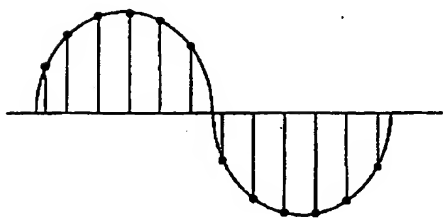


【図5】

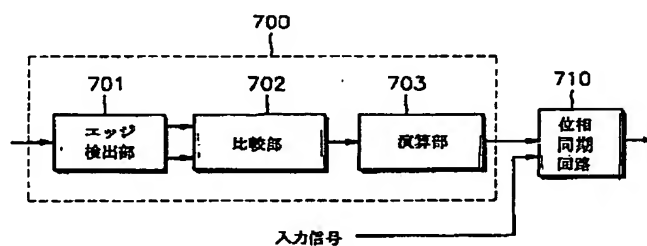
(A)



(B)



【図7】



フロントページの続き

(51) Int. Cl.⁷

識別記号

F I

テ-マ-ド (参考)

H 0 4 L 25/02

3 0 2

H 0 3 L 7/08

G

// H 0 4 L 7/033

H 0 4 L 7/02

B

Fターム(参考) 5D044 FG11 GM01 GM12 GM15
 5J106 AA05 EE09 FF05 FF06 KK06
 KK30
 5K029 AA03 FF02 HH26 KK23 LL08
 LL12
 5K047 AA06 GG22 KK02 MM36 MM45
 MM48 MM53 MM56 MM62